

(19)



KOREAN INDUSTRIAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 000014388 A

(44) Date of publication of specification: 15.03.00

(21) Application number: 980033792

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.

(22) Date of filing: 20.08.98

(72) Inventor: CHO, HAK JU  
LEE, BOK JA

(51) Int. Cl

H01L 27/04

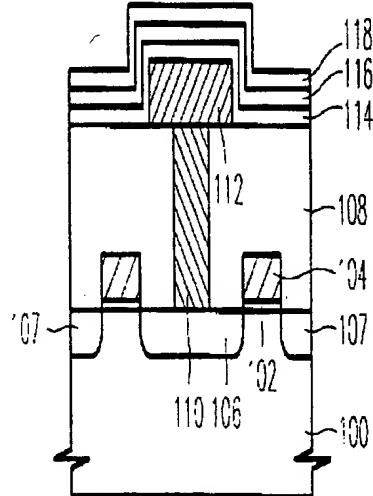
(54) FERROELECTRIC MEMORY CAPACITOR AND FORMING METHOD THEREOF

(57) Abstract:

PURPOSE: A ferroelectric memory capacitor and forming method thereof are provided to compensate a negative electric charge reduced according to oxygen vacancy.

CONSTITUTION: The capacitor comprises a lower electrode, a ferroelectric layer formed on the lower electrode and an upper electrode formed on the ferroelectric layer. A first doping layer is formed between the lower electrode and the ferroelectric layer and having an atom to compensate a negative electric charge according to oxygen vacancy generated in the ferroelectric layer. A second doping layer is formed between the ferroelectric layer and the upper layer and having an atom to compensate a negative electric charge according to oxygen vacancy generated in the ferroelectric layer.

COPYRIGHT 2000 KIPO





공개특허 2000-0014388

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>8</sup> H01L 27/04	(11) 공개번호 특 2000-0014388 (43) 공개일자 2000년 03월 15일
(21) 출원번호 10-1998-0033792	
(22) 출원일자 1998년 08월 20일	
(71) 출원인 삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매단3동 416	
(72) 발명자 조학주 경기도 용인시 기흥읍 농서리 산24번지 이복자	
(74) 대리인 경기도 수원시 권선구 권선동 1260-2 권석희, 이영필, 정상빈	

설명구 : 없음(54) 강유전체 메모리 커패시터 및 그 제조방법요약

강유전체 메모리 커패시터 및 그 제조방법에 관해 개시한다. 본 발명에 따른 강유전체 메모리 커패시터는 강유전체막의 하부 및/또는 상부에 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상 할 수 있는 웨이퍼를 포함하는 도핑용막을 구비한다. 본 발명에 따르면, 강유전체막의 산소 공공을 효과적으로 방지하면서 강유전체막의 특성을 그대로 유지할 수 있다.

도표도도2설명서도면의 간단한 설명

도 1 내지 도 3은 본 발명의 일 실시예에 의한 커패시터 제조방법 및 그 방법에 의해 제조된 커패시터를 설명하기 위한 단면도들이다.

도 4는 본 발명에 따라 제조된 란탄 티타늄 산화막(LaTiO<sub>x</sub>)으로 이루어진 도핑용막을 구비하는 커패시터 외 증례의 기술에 따라 도핑용막 없이 제조된 커패시터의 누설 전류를 측정한 결과를 나타내는 그래프이다.

발명의 상세한 설명발명의 목적발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 강유전체 메모리소자(ferroelectric memory device) 및 그 제조방법에 관한 것으로, 특히 강유전체를 유전막으로 사용하는 커패시터 및 그 제조방법에 관한 것이다.

강유전체 RAM(ferroelectric RAM; 이하 'FRAM'이라 한다)은 빠른 동작속도를 보이며 단일 전원전압으로 읽기동작 및 쓰기동작을 수행할 수 있는 비휘발성 메모리 소자이다.

FRAM 소자는 단위 셀의 구성요소에 따라 두가지로 분류될 수 있다. 그 하나는 단위 셀이 강유전체막을 게이트 절연막으로 사용하는 하나의 트랜지스터로 구성된 것이고, 다른 하나는 하나의 셀 커패시터 및 하나의 억세스 트랜지스터로 구성된 DRAM 셀과 동일한 구조를 가지면서 셀 커패시터의 유전막이 강유전체막으로 형성된 것이다. 여기서, 전자의 FRAM은 강유전체막을 어닐링시키는 공정을 실시할 때 채밀영역인 실리콘기판과 게이트 절연막인 강유전체막 사이의 계면에 실리콘기판과 산소원자가 반응하여 원하지 않는 실리콘 산화막이 형성되는 문제점과, 실리콘기판 및 강유전체막 사이의 격자상수 차이 또는 이를의 열팽창계수 차이에 의하여 우수한 막질을 갖는 강유전체막을 형성하기 어려운 문제점이 있다. 따라서, 최근에 후자의 FRAM, 즉 DRAM 셀과 동일한 구조를 가져서 빠른 동작 속도와 낮은 동작 전압 특성을 지니고, 강유전체의 잔류 분극 특성을 지녀서 비휘발성 특성을 나타내는 셀 커패시터의 유전막을 강유전체막으로 형성하는 FRAM 소자에 대한 연구가 활발해지고 있다.

강유전체의 분극 특성은 ABO형의 페로브스카이트 결정 구조를 지닐 때 나타난다. ABO의 결정 구조는 입

발 구조를 지니며, 입방격자의 구석을 1가 또는 2가의 양전하를 띠는 AI이온이 차지한다. 그리고, 2가의 AI이온을 띠는 6개의 산소이온들이 각각의 면심에 존재하여 만들어지는 8면체의 중심에 4가 또는 5가의 양전하를 띠는 8 원자가 위치한다. 8원자는 산소 이온과의 상호 작용에 의하여 위 아래 방향으로 쌍극자를 형성하게 된다. 따라서 전계가 가해자면 전기적 쌍극자들이 전계 방향으로 배열된다. 이러한 분극(polarization) 상태는 전계를 제거하여도 작은 영역의 감소(depolarization)만 있을 뿐 잔류 분극(resonant polarization)량을 지니게 되어 데이터의 저장에 이용된다.

그런데 강유전체로 유전막을 형성할 경우 전극 물질과의 계면에서 산소 공공(oxygen vacancy)이 발생하는 문제점이 있다. 이러한 산소 공공은 엎기동작 및 쓰기동작의 횟수가 증가할수록 전극 및 강유전체막 사이의 계면에 국부적으로 다큰 발생하여 강유전체막의 불균 틀성을 저하시킨다. 이와 같이 강유전체막의 불균 특성이 저하되면, 엎기동작 및 쓰기동작시 오동작이 유발된다. 또한, 산소 공공이 국부적으로 발생되면, 강유전체막의 소정영역에 강한 전계가 형성되므로 강유전체막의 파괴전압(breakdown voltage)이 낮아지며 두불전류가 증가하여 강유전체막의 신뢰성이 저하된다. 따라서, 강유전체막의 신뢰성을 개선시키기 위해서는 산소 공공을 감소시켜야 한다.

산소 공공에 따른 특성 저하를 방지하기 위한 방법으로는 강유전체막을 형성할 때, 란탄(La)등을 함유 도핑하는 방법이 알려져 있다. 그러나 강유전체막을 형성할 때, 란탄 소오스 가스를 함께 사용하여 도핑하므로, 강유전체막과 전극간의 계면에만 란탄 원자가 분포하는 것이 아니라 강유전체막 전체에 란탄 원자가 분포하게 된다. 따라서, 본래의 강유전체막보다 강유전성 및 유전율을 저하시키는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 효과

본 발명이 이루고자 하는 기술적 과제는 강유전체막의 산소 공공을 해결하기 위한 것으로, 강유전체막의 일부 또는 상부에 산소 공공에 따라 감소된 음전하를 보상할 수 있는 원자를 포함하는 도핑용 막을 구비하여 특성이 향상된 강유전체 메모리 커패시터를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 강유전체 메모리 커패시터를 제조하는 방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명의 일 태양(aspect)에 따른 강유전체 메모리 커패시터는 강유전체막의 하부 및/또는 상부에 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 도핑용막을 구비한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 강유전체 메모리 커패시터의 제조 방법에 따르면, 커패시터의 하부 전극을 형성한 후, 하부 전극상에 강유전체막을 형성하기 전에, 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 제1도핑용막을 상기 하부 전극상에 형성한다. 다음에 제1도핑용막상에 강유전체막을 형성한 후, 열처리하여 강유전체막을 결정화시키고 제1도핑용 막내의 원자를 강유전체막내로 도핑한다.

열처리 단계전에, 강유전체막상에 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 제2도핑용막을 강유전체막상에 더 형성하는 것이 바람직하다.

본 발명의 또 다른 태양에 따르면, 강유전체막의 상부에만 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 도핑용막을 형성할 수도 있다.

본 발명에 있어서, 하부 전극 및 상부 전극은 각각 내산화성 금속막, 도전성 금속 산화물막 및 내산화성 금속막과 도전성 금속 산화물막의 복합막으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성한다.

그리고 제1도핑용막 및 제2도핑용막은 란탄 티타늄 산화막(LaTi<sub>2</sub>O<sub>5</sub>), 바륨 티타늄 산화막(BaTi<sub>2</sub>O<sub>5</sub>), 칼슘 티타늄 산화막(CaTi<sub>2</sub>O<sub>5</sub>), 스트론튬 티타늄 산화막(SrTi<sub>2</sub>O<sub>5</sub>) 및 이들의 복합막으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성한다.

강유전체막은 스트론튬 티타늄 산화막(SrTi<sub>2</sub>O<sub>5</sub>), 바륨 티타늄 산화막(BaTi<sub>2</sub>O<sub>5</sub>), 바륨 스트론튬 티타늄 산화막((Ba, Sr)Ti<sub>2</sub>O<sub>5</sub>), 납 지르코늄 티타늄 산화막(Pb(Zr, Ti)<sub>2</sub>O<sub>5</sub>), 스트론튬 비스무트 텐탈륨 산화막(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>), 납 란탄 지르코늄 티타늄 산화막((Pb, La)(Zr, Ti)<sub>2</sub>O<sub>5</sub>) 및 비스무트 티타늄 산화막(Bi<sub>2</sub>Ti<sub>2</sub>O<sub>5</sub>)으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성한다.

본 발명에 의하면, 강유전체막의 하부 및/또는 상부에 각각 산소 공공에 따른 음전하의 감소를 보상할 수 있는 원자를 포함하는 도핑용 막을 구비함으로써 강유전체막의 특성은 그대로 유지하면서 산소공공을 효과적으로 감소시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

도 1 내지 도 3은 본 발명의 일 실시예에 의한 커패시터 제조방법 및 그 방법에 의해 제조된 커패시터를 설명하기 위한 단면도들이다.

도 1을 참조하면, 반도체기판(100) 상에 게이트절연막(102), 게이트전극(104), 소오스 영역(106) 및 드레인 영역(107)을 구비하는 트랜지스터를 통상의 방법을 사용하여 형성한다. 이어서, 결과를 전면에 PSG, BPSG, TEOS 및 USG 중에서 선택된 어느 하나의 절연물질을 증착한 다음 평坦화하여 층간절연막(108)을 형성한다.

이어서, 상기 층간절연막을 패터닝하여 소오스 영역(106)을 노출시키는 큰턱홀을 형성한다. 다음에, 상기 큰턱홀이 형성된 결과를 전면에 큰턱홀을 채우는 도전막, 예컨대 불순물로 도우팅된 실리콘막(Si),

텅스텐막(W), 탄탈륨막(Ta), 루테늄막(Ru), 미리듐막(Ir), 오스뮴막(Os), 텁스텐 실리사이드막(WSi), 텁스텐 나이트라이드막(WN) 또는 이들의 조합막을 형성하고 이를 에치백(etch-back)하여 상기 콘택홀 내부에 소오스 영역(106)과 접촉하는 플러그(110)를 형성한다. 이 때, 플러그(110)는 콘택을 내부에만 선택적으로 도전막을 형성하는 선택적 증착(selective deposition)방법으로 형성할 수도 있다.

다음에 도전성 플러그(110)가 형성된 결과를 상에 커패시터의 하부전극을 형성하기 위한 훈질을 증착한 후, 통상의 사진식각 공정을 사용하여 패터닝함으로써 커패시터의 하부전극(112)을 형성한다. 이 때, 커프래시터의 하부 전극(112)은 내산화성 금속막, 도전성 금속 산화물막 또는 내산화성 금속막과 도전성 금속 산화물막의 복합막을 사용하여 형성한다. 내산화성 금속막으로는 밸류막(Pt), 미리듐막(Ir) 및 루테늄막(Ru), 르듐막(Rh), 오스뮴막(Os) 및 팔라듐막(Pd)으로 이루어진 그룹에서 선택된 어느 하나가 사용되고, 도전성 금속 산화물막으로는 루테늄 산화막(RuO<sub>x</sub>), 미리듐 산화막(IrO<sub>x</sub>), 스트론튬 루테늄 산화막(SrRuO<sub>x</sub>), 칼슘 스트론튬 루테늄 산화막(CaSrRuO<sub>x</sub>) 및 바륨 스트론튬 루테늄 산화막(BaSrRuO<sub>x</sub>)으로 이루어진 그룹에서 선택된 어느 하나가 사용될 수 있다.

도 2를 참조하면, 하부 전극(112)이 형성된 결과를 상에 제1도핑용막(114), 강유전체막(116) 및 제2도핑용막(118)을 차례대로 형성한다.

제1도핑용막(114) 및 제2도핑용막(118)은 강유전체막(116)내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 막을 사용하여 형성한다. 따라서, 란탄 티타늄 산화막(LaTiO<sub>3</sub>), 바륨 티타늄 산화막(BaTiO<sub>3</sub>), 칼슘 티타늄 산화막(CaTiO<sub>3</sub>), 스트론튬 티타늄 산화막(SrTiO<sub>3</sub>) 및 이들의 복합막을 사용하여 제1도핑용막(114) 및 제2도핑용막(118)을 형성한다. 제1 및 제2도핑용막(114, 118)내의 란탄(La<sup>3+</sup>), 바륨(Ba<sup>2+</sup>), 칼슘(Ca<sup>2+</sup>) 또는 스트론튬(Sr<sup>2+</sup>) 등이 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자로 작용한다.

제1도핑막(114) 및 제2도핑막(118)은 원자를 증착 방법(atomic layer deposition), 스퍼터링 방법, 금속 유기 화학 기상 증착(MOCVD)법 또는 풀-겔(sol-gel)방법을 이용하여 형성할 수 있다.

제1도핑막(114) 및 제2도핑막(118)은 강유전체막(116) 전체를 도핑시키는 것이 아니라 계면부위에서만 도핑시키고자 하는 것으로, 가능한 한 얇게 형성한다.

강유전체막(116)은 스트론튬 티타늄 산화막(SrTiO<sub>3</sub>), 바륨 티타늄 산화막(BaTiO<sub>3</sub>), 바륨 스트론튬 티타늄 산화막((Ba, Sr)TiO<sub>3</sub>), 납 지르코늄 티타늄 산화막(Pb(Zr, Ti)O<sub>3</sub>), 스트론튬 비스무트 탄탈륨 산화막(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>), 납 란탄 지르코늄 티타늄 산화막((Pb, La)(Zr, Ti)O<sub>3</sub>) 및 비스무트 티타늄 산화막(Bi<sub>2</sub>Ti<sub>3</sub>O<sub>7</sub>)으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성한다.

강유전체막(116) 또한 스퍼터링 방법, 금속 유기 화학 기상 증착방법 또는 풀-겔(sol-gel)방법으로 형성한다.

제2도핑용막(118)까지 형성한 후에 결과를 전면을 열처리하여 강유전체막(116)의 페로브스카이트 구조를 결정화시킴과 동시에 안정화시킨다. 열처리는 700 내지 750°C의 온도로 산소 분위기에서 실시한다.

열처리에 의해 제1도핑용막(114)과 제2도핑용막(118)내에 포함되어 있으며, 강유전체막의 산소 공공에 따른 음전하의 손실을 보상할 수 있는 원자들이 ABO<sub>3</sub> 구조의 강유전체막(116)내의 A 원자 또는 B원자 자리에 대신 결합하여 강유전체막(116)을 안정화시킨다. 따라서, 강유전체막(116)의 피로 특성, 보유 특성이 향상되고 누설 전류가 감소한다. 또, 도핑이 강유전체막(116)전체에 걸쳐 이루어지는 것이 아니라 강유전체막(116)의 상, 하 표면에서만 일어나므로, 강유전체막(116)의 분극 특성 및 고유전율을 계속 유지할 수 있다.

강유전체막(116)으로 PZT막을 형성하고, 제1 및 제2도핑용막(114, 118)으로 란탄 티타늄 산화막(LaTiO<sub>3</sub>)을 형성한 경우를 예로 들어, 제1 및 제2도핑용막(114, 118)의 작용을 좀 더 자세히 설명한다.

PZT 강유전체막(116)내에 산소 공공이 발생하면 산소의 손실로 인해 음전하가 감소하여, PZT 강유전체막(116)의 전체 전하는 양의 값을 나타낸다. 따라서, PZT 강유전체막(116)의 상부 또는 하부에 란탄 티타늄 산화막으로 구성된 도핑용막(114, 118)을 형성한 후 열처리하면, 도핑용막(114, 118)을 구성하여 1가의 양전하를 띠는 La<sup>3+</sup>와 2가의 양전하를 띠는 Pb<sup>2+</sup> 자리에 대신 결합한다. 즉, PZT 강유전체막(116)에서 산소 공공이 발생하면서 감소한 음전하의 양만큼 양전하도 감소하여 결과적으로 PZT 강유전체막(116)의 전체 전하는 0이 되도록 한다. 따라서 PZT 강유전체막(116)의 피로 특성, 보유 특성이 향상되고 누설 전류는 감소한다. 또, PZT 강유전체막(116)의 표면에서만 La<sup>3+</sup>의 치환 반응이 일어나므로 막 전체는 PZT막의 상태를 그대로 유지하므로 높은 분극 특성 및 유전율을 보유하게 된다.

도 3을 참조하면, 제2도핑용막(118)상에 상부 전극을 도전막을 형성한 후, 통상의 사진식각 공정을 통해 상부 전극(118), 제2도핑용막(118), 강유전체막(116) 및 제1도핑용막(114)을 셀 단위로 패터닝하여 커패시터 셀 유니트를 완성한다.

본 실시예에서는 강유전체막(116)의 상, 하부에 모두 도핑용막을 형성하였으나, 도핑용막은 필요에 따라 하부 전극(112)과 강유전체막(116)의 계면에만 또는 강유전체막(116)과 상부 전극(120)의 계면에만 형성 할 수도 있다. 하부 전극(112)과 강유전체막(116)의 계면에만 도핑용막을 형성한 경우에는에는 강유전체막(116)을 형성한 직후, 열처리를 실시해야 함은 물론이다.

본 발명은 하기의 실험예를 참고로 더욱 상세히 설명되며, 이 실험예가 본 발명을 제한하려는 것은 아니다.

<실험예>

40 Torr 알력, 400°C 온도하에서 마르곤 플라즈마를 사용한 스퍼터링 방법을 사용하여 하부 전극으로 사  
용될 백금막을 반도체 기판상에 형성하였다. 다음에 백금막상에 란탄 티타늄 산화막을 원자층 증착 방법  
을 사용하여 10 Å 두께로 형성하였다. 이어서, 란탄 티타늄 산화막 위에 PZT막을 블록결 방법으로 형성한  
후, 다시 10 Å 두께의 란탄 티타늄 산화막을 형성하였다. 다음에, PZT막을 안정화시키고, 란탄 티타늄  
후, 다시 10 Å 두께의 란탄 티타늄 산화막을 형성하였다. 다음에, PZT막을 안정화시키고, 란탄 티타늄  
30분간  
산화막의 란탄 원자를 PZT막내로 도핑시키기 위하여 700 내지 750°C의 온도, 산소 분위기하에서 대하여  
열처리하였다. 열처리된 결과물상에 상부 전극으로 백금막을 형성하였다. 이렇게 얻어진 시료에 대하여  
누설 전류를 측정하였다. 그 결과를 도 4의 1번 그래프로 도시하였다.

본 발명의 결과와 비교하기 위한 대조군으로서 증래의 방법에 따라 백금막-PZT막-백금막으로 이루어진  
커패시터를 형성하고 이에 대해서도 누설 전류를 측정하였다. 그 결과 또한 도 4에 2번 그래프로 도시하  
였다.

도 4의 결과로부터, 본 발명에 따라 PZT막의 상, 하 표면에만 란탄 원자가 도핑되어 날 란탄 지르코늄  
티타늄 산화막((Pb, La)(Zr, Ti)O<sub>x</sub>)이 PZT막의 상, 하 표면에만 형성된 경우, 누설 전류가 훨씬 감소하였  
음을 알 수 있었다.

### 또 경의 효과

본 발명에 따르면, 강유전체 메모리 커패시터는 강유전체막의 하부 및/또는 상부에 각각 강유전체막의  
산소 공공에 따른 음전하의 감소를 보상할 수 있는 원자를 포함하는 도핑용 막을 구비함으로써 강유전체  
막과 전극 사이의 계면에 생성되는 산소공공을 효과적으로 감소시킬 수 있다. 따라서 강유전체막의 특성  
은 그대로 유지하면서, 산소 공공의 문제를 해결하여 신뢰성이 우수한 FRAM 소자를 구현할 수 있다.

### (57) 청구의 범위

청구항 1. 하부 전극, 상기 하부 전극상에 형성된 강유전체막 및 상기 강유전체막상에 형성된 상부  
전극을 포함하는 강유전체 메모리 커패시터에 있어서,

상기 하부 전극과 상기 강유전체막 사이에 상기 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손  
실을 보상할 수 있는 원자를 포함하는 제1도핑용막 및/또는 상기 강유전체막과 상기 상부 전극 사이에  
상기 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 제2  
도핑용막을 포함하는 것을 특징으로 하는 강유전체 메모리 커패시터.

청구항 2. 제1항에 있어서, 상기 하부 전극 및 상기 상부 전극은 각각 내산화성 금속막, 도전성 금속  
산화물막 및 내산화성 금속막과 도전성 산화물막의 복합막으로 이루어진 그룹에서 선택된 어느 하나  
나로 구성된 것을 특징으로 하는 강유전체 메모리 커패시터.

청구항 3. 제2항에 있어서, 상기 내산화성 금속막은 백금막(Pt), 미리듐막(Ti) 및 루테늄막(Ru), 로  
듐막(Rh), 오스뮴막(Os) 및 팔라듐막(Pd)으로 이루어진 그룹에서 선택된 어느 하나이고, 상기 도전성 금  
속막은 투데늄 산화막(RuO<sub>x</sub>), 미리듐 산화막(TiO<sub>x</sub>), 스트론튬 루테늄 산화막(SrRuO<sub>x</sub>), 칼슘 스트  
론튬 루테늄 산화막(CaSrRuO<sub>x</sub>) 및 바륨 스트론튬 루테늄 산화막(BaSrRuO<sub>x</sub>)으로 이루어진 그룹에서 선택된  
언어 하나인 것을 특징으로 하는 강유전체 메모리 커패시터.

청구항 4. 제1항에 있어서, 상기 제1도핑용막 및 상기 제2도핑용막은 란탄 티타늄 산화막(LaTiO<sub>x</sub>), 바  
륨 티타늄 산화막(BaTiO<sub>x</sub>), 칼슘 티타늄 산화막(CaTiO<sub>x</sub>), 스트론튬 티타늄 산화막(SrTiO<sub>x</sub>) 및 이들의 복합  
막으로 이루어진 그룹에서 선택된 언어 하나로 구성된 것을 특징으로 하는 강유전체 메모리 커패시터.

청구항 5. 제1항에 있어서, 상기 강유전체막은 스트론튬 티타늄 산화막(SrTiO<sub>x</sub>), 바륨 티타늄  
산화막(BaTiO<sub>x</sub>), 바륨 스트론튬 티타늄 산화막((Ba, Sr)TiO<sub>x</sub>), 날 지르코늄 티타늄 산화막(Pb(Zr,  
Ti)O<sub>x</sub>), 스트론튬 비스무트 탄탈륨 산화막(Sr<sub>0.6</sub>Ta<sub>0.4</sub>O<sub>x</sub>), 날 란탄 지르코늄 티타늄 산화막((Pb,  
La)(Zr,Ti)O<sub>x</sub>) 및 비스무트 티타늄 산화막(Bi<sub>0.5</sub>Ti<sub>0.5</sub>O<sub>x</sub>)으로 이루어진 그룹에서 선택된 언어 하나로 구성된 것을 특  
징으로 하는 강유전체 메모리 커패시터.

청구항 6. 반도체 기판상에 하부 전극을 형성하는 단계, 상기 하부 전극상에 강유전체막을 형성하는  
단계로 이루어진 강유전체 메모리 커패시터의 제조 방법에 있어서,

상기 강유전체막을 형성하는 단계전에 상기 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을  
보상할 수 있는 원자를 포함하는 제1도핑용막을 상기 하부 전극상에 형성하는 단계; 및

상기 강유전체막을 형성하는 단계후에 강유전체막이 형성된 결과물을 열처리하여 상기 강유전체막을 결  
정화시키고 상기 제1도핑용막내의 원자를 상기 강유전체막내로 도핑하는 단계를 포함하는 것을 특징으로  
하는 강유전체 메모리 커패시터의 제조 방법.

청구항 7. 제6항에 있어서, 상기 열처리 단계전에,

상기 강유전체막상에 상기 강유전체막내에서 발생하는 산소 공공에 따른 음전하 손실을 보상할 수 있는  
원자를 포함하는 제2도핑용막을 형성하는 단계를 더 구비하고,

상기 열처리 단계는 상기 제2도핑용막이 형성된 결과물을 열처리하여 상기 강유전체막을 결정화시키고  
상기 제1도핑용막내의 원자 및 상기 제2도핑용막내의 원자를 상기 강유전체막내로 도핑하는 단계이고,

상기 열처리 단계 후에 상기 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모  
리 커패시터의 제조 방법.

청구항 8. 제6항 또는 제7항에 있어서, 상기 하부 전극 및 상기 상부 전극은 각각 내산화성 금속막,

도전성 금속 산화물막 및 내산화성 금속막과 도전성 금속 산화물막의 복합막으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전체 메모리 커패시터의 제조 방법.

청구항 9. 제8항에 있어서, 상기 내산화성 금속막은 백금막(Pt), 아리듐막(Ir) 및 루데늄막(Ru), 로듐막(Rh), 오스뮴막(Os) 및 팔라듐막(Pd)으로 이루어진 그룹에서 선택된 어느 하나이고, 상기 도전성 금속 산화물막은 투태늄 산화막(Ru<sub>2</sub>O<sub>5</sub>), 아리듐 산화막(Ir<sub>2</sub>O<sub>5</sub>), 스트론튬 투태늄 산화막(SrRuO<sub>3</sub>), 칼슘 스트론튬 투태늄 산화막(CaSrRuO<sub>3</sub>) 및 바륨 스트론튬 투태늄 산화막(BaSrRuO<sub>3</sub>)으로 이루어진 그룹에서 선택된 어느 하나인 것을 특징으로 하는 강유전체 메모리 커패시터의 제조 방법.

청구항 10. 제9항 또는 제7항에 있어서, 상기 제1도핑용막 및 상기 제2도핑용막은 란탄 티타늄 산화막(LaTiO<sub>3</sub>), 바륨 티타늄 산화막(BaTiO<sub>3</sub>), 칼슘 티타늄 산화막(CaTiO<sub>3</sub>), 스트론튬 티타늄 산화막(SrTiO<sub>3</sub>) 및 이들의 복합막으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전체 메모리 커패시터의 제조 방법.

청구항 11. 제6항 또는 제7항에 있어서, 상기 강유전체막은 스트론튬 티타늄 산화막(SrTiO<sub>3</sub>), 바륨 티타늄 산화막(BaTiO<sub>3</sub>), 바륨 스트론튬 티타늄 산화막((Ba, Sr)TiO<sub>3</sub>), 납 지르코늄 티타늄 산화막(Pb(Zr, Ti)O<sub>3</sub>), 스트론튬 비스무트 탄탈륨 산화막(SrBi<sub>4</sub>Ta<sub>5</sub>O<sub>19</sub>), 납 란탄 지르코늄 티타늄 산화막((Pb, La)(Zr, Ti)O<sub>3</sub>) 및 비스무트 티타늄 산화막(Bi<sub>4</sub>Ti<sub>3</sub>O<sub>9</sub>)으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전체 메모리 커패시터의 제조 방법.

청구항 12. 반도체 기판상에 하부 전극을 형성하는 단계, 상기 하부 전극상에 강유전체막을 형성하는 단계 및 상기 강유전체막상에 상부 전극을 형성하는 단계로 이루어진 강유전체 메모리 커패시터의 제조 방법에 있어서,

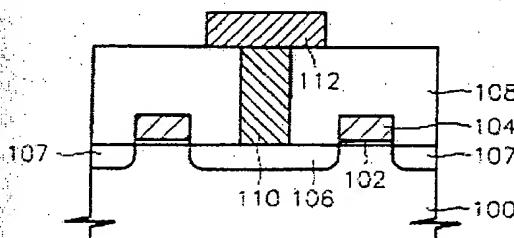
상기 상부 전극을 형성하는 단계전에 상기 강유전체막내에서 발생하는 산소 공급에 따른 음전하 손실을 보상할 수 있는 원자를 포함하는 도핑용막을 상기 강유전체막상에 형성하는 단계; 및

상기 도핑용막이 형성된 결과물을 열처리하여 상기 강유전체막을 결정화시키고 상기 도핑용 막내의 원자를 상기 강유전체막내로 도핑하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 커패시터의 제조 방법.

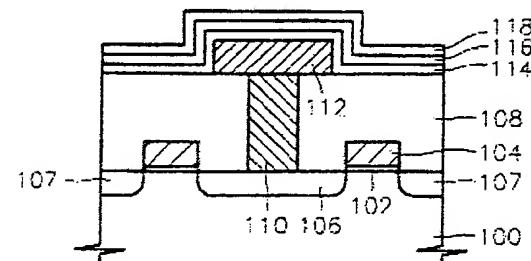
청구항 13. 제12항에 있어서, 상기 도핑용막은 란탄 티타늄 산화막(LaTiO<sub>3</sub>), 바륨 티타늄 산화막(BaTiO<sub>3</sub>), 칼슘 티타늄 산화막(CaTiO<sub>3</sub>), 스트론튬 티타늄 산화막(SrTiO<sub>3</sub>) 및 이들의 복합막으로 이루어진 그룹에서 선택된 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전체 메모리 커패시터의 제조 방법.

### 도면

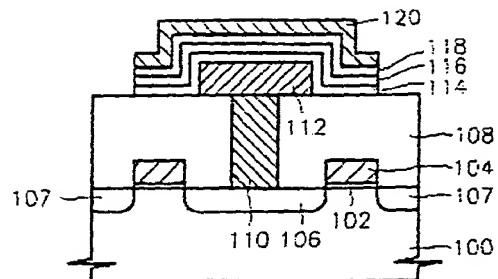
도면1



도면2



도면3



도면4

